

SULIT



BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENGAJIAN POLITEKNIK
KEMENTERIAN PENDIDIKAN MALAYSIA

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI JUN 2013

EE603: CMOS INTEGRATED CIRCUIT DESIGN

TARIKH : 29 OKTOBER 2013

TEMPOH : 2 JAM (2.30 – 4.30 PM)

Kertas ini mengandungi **TUJUH (7)** halaman bercetak.

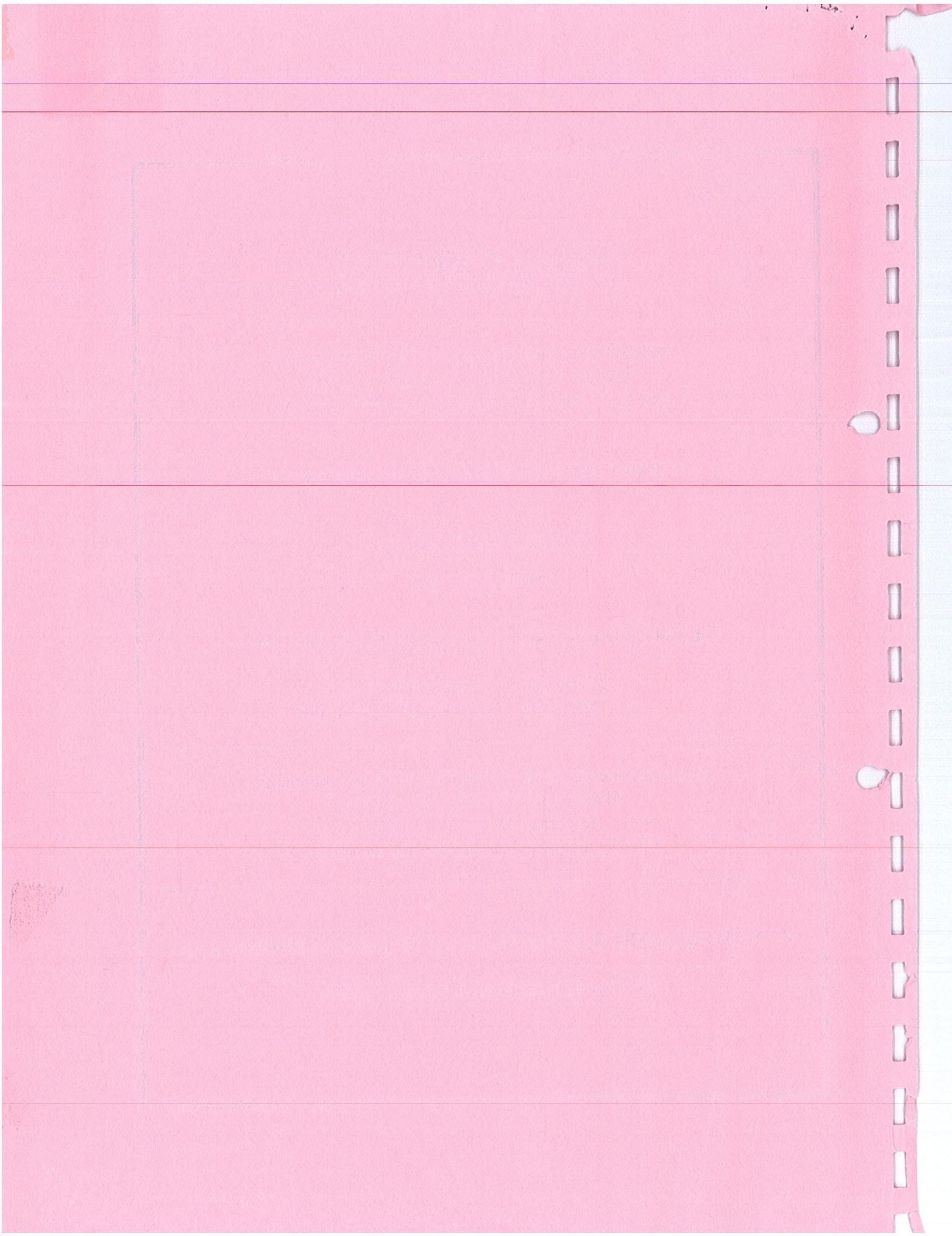
Bahagian A: Struktur (10 soalan)

Bahagian B: Esei (3 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALANINI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)



SECTION A : 40 MARKS**BAHAGIANA : 40 MARKAH****INSTRUCTION:**

This section consists of **TEN (10)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi SEPULUH (10) soalan berstruktur. Jawab semua soalan.

CLO1

C2

QUESTION 1**SOALAN 1**

(a) Describe the way silicon ingot produces silicon wafer.

Terangkan bagaimana silicon ingot menghasilkan silikon wafer.

[4 marks]

[4 markah]

CLO1

C2

QUESTION 2**SOALAN 2**

Explain **TWO (2)** methods for silicon doping.

Jelaskan DUA (2) cara untuk pendopan silikon.

[4 marks]

[4 markah]

CLO1

C2

QUESTION 3**SOALAN 3**

Explain silicon wafer properties required to be used in IC manufacturing.

Terangkan ciri-ciri kepingan silicon yang digunakan dalam pembuatan IC.

[4 marks]

[4 markah]

CLO1

C2

QUESTION 4**SOALAN 4**

Give **TWO (2)** functions of design rules.

Berikan DUA (2) fungsi peraturan rekabentuk.

[4 marks]

[4 markah]

CLO1 **QUESTION 5**

C2 **SOALAN 5**

With the aid of a diagram, explain the depletion region.

Dengan bantuan gambarajah yang sesuai, terangkan mengenai kawasan penyusutan.

[4 marks]

[4 markah]

CLO2 **QUESTION 6**

C1 **SOALAN 6**

List the design abstraction level in integrated circuit design.

Senaraikan tahap abstraks rekabentuk yang terdapat dalam rekabentuk litar terkamil.

[4 marks]

[4 markah]

CLO2 **QUESTION 7**

C2 **SOALAN 7**

A polycide-gate is a combination of lower level of polysilicon and an upper coating of silicide. Explain **TWO (2)** advantages of this gate.

*Polycide-gate adalah kombinasi polisilikikon sebagai lapisan bawah dan silicide sebagai lapisan atas. Terangkan **DUA (2)** kelebihan gate ini.*

[4 marks]

[4 markah]

CLO3 **QUESTION 8**

C2 **SOALAN 8**

In the dynamic behaviour of CMOS inverter circuit there are three sources of capacitance. They are intrinsic, extrinsic and wiring. Discuss the differences between intrinsic capacitance and extrinsic capacitance?

Di dalam sifat CMOS penyongsang dinamik terdapat tiga sumber kapasitan. Antara sumber tersebut adalah intrinsik, ekstrinsik dan pendawaian. Bincangkan perbezaan di antara kapasitan intrinsik dan kapasitan ekstrinsik?

[4 marks]

[4 markah]

CLO3
C2**QUESTION 9****SOALAN 9**

Explain the difference between combinational logic circuit and sequential logic circuit. Use a suitable diagram to support your answer.

*Terangkan perbezaan antara litar logik kombinasi dan litar logik berjujukan.
Gunakan rajah yang bersesuaian untuk menyokong jawapan anda.*

[4 marks]

[4 markah]

CLO1
C1**QUESTION 10****SOALAN 10**

List **TWO (2)** differences between semi-custom methodology and full-custom methodologies.

Senaraikan **TWO (2)** perbezaan antara metodologi langganan separuh dan metodologi langganan penuh.

[4 marks]

[4 markah]

SECTION B : 60 MARKS**BAHAGIAN B : 60 MARKAH****INSTRUCTION:**

This section consists of **THREE (3)** essay questions. Answer **ALL** questions.

ARAHAN:

*Bahagian ini mengandungi **TIGA (3)** soalan eseи. Jawab **SEMUA** soalan.*

CLO1
C1**QUESTION 1****SOALAN 1**

(a) Draw the Voltage Transfer Characteristic of a real inverter.

Lukiskan graf Ciri Pemindahan Voltan bagi penyongsang sebenar.

[4 marks]

[4 markah]

CLO1 (b) Distinguish THREE (3) types of noise sources in digital circuits.

C2 *Bezakan 3 jenis sumber hingar dalam litar digital.*

[6 marks]

[6 markah]

CLO1 (c) State SIX (6) CMOS layer representation.

C1 *Nyatakan ENAM (6) lapisan bentangan CMOS.*

[6 marks]

[6 markah]

CLO1 (d) Complete Figure 1 below by showing the sequence to accomplish the wafer formation process by naming A, B, C and D.

Lengkapkan Rajah 1 di bawah yang menunjukkan urutan untuk mencapai proses pembentukan wafer dengan menamakan A, B, C dan D.

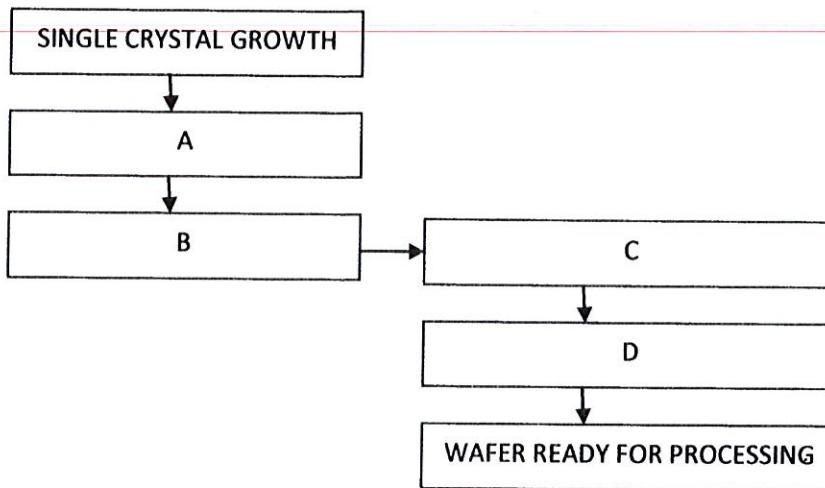


Diagram B1 / Rajah B1

[4 marks]

[4 markah]

QUESTION 2

SOALAN 2

CLO2 (a) Illustrate the cross-section structure of NMOS transistor to show the Depletion Layer and channel layer in series with field oxide.

Lukiskan struktur keratan rentas NMOS untuk menunjukkan Lapisan Susutan dan Lapisan terusan yang sesiri dengan kawasan oksida.

[5 marks]

[5 markah]