

SULIT



BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENGAJIAN POLITEKNIK
KEMENTERIAN PENDIDIKAN MALAYSIA

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR
SESI JUN 2014

EE603: CMOS INTEGRATED CIRCUIT DESIGN

**TARIKH : 28 OKTOBER 2014
TEMPOH : 11.15 AM – 1.15 PM (2 JAM)**

Kertas ini mengandungi **SEPULUH (10)** halaman bercetak.

Bahagian A: Subjektif (10 soalan)

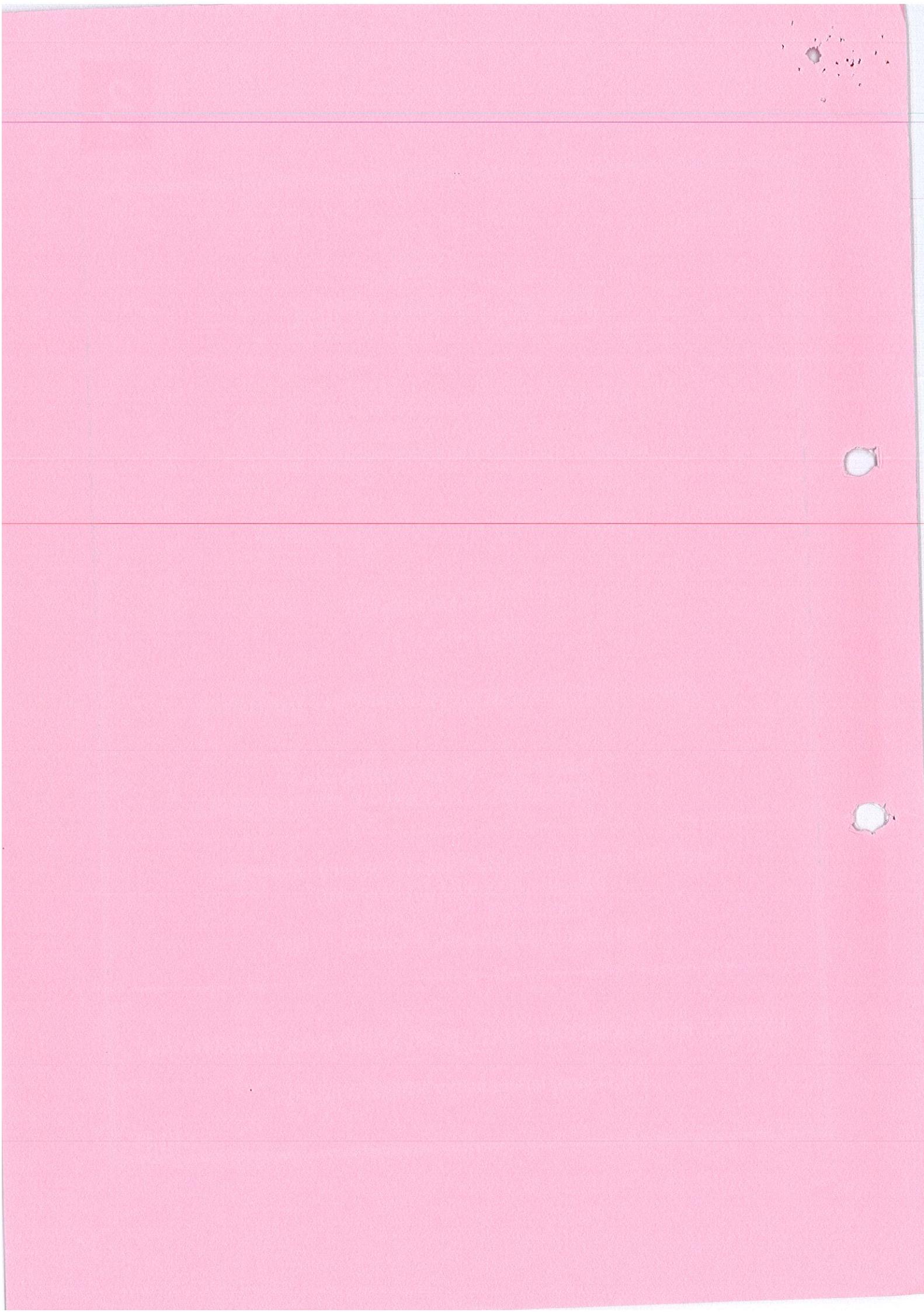
Bahagian B: Esei (3 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALANINI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT



SECTION A: 40 MARKS***BAHAGIAN A: 40 MARKAH*****INSTRUCTION:**

This section consists of **TEN (10)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi SEPULUH (10) soalan berstruktur. Jawab SEMUA soalan.

QUESTION 1

CLO1
C1

- (a) What is the meaning of noise immunity?
- (b) Why most digital circuits have very good noise immunity?

SOALAN 1

- (a) Apakah yang dimaksudkan dengan kelalian hingar?
- (b) Mengapa kebanyakan litar digital mempunyai kelalian hingar yang baik?

[4 marks]

[4 markah]

QUESTION 2

CLO1
C1

Diffusion is one of the doping method used in the manufacturing process of integrated circuit.

- (a) State **TWO (2)** dopant materials/gases used.
- (b) Name **TWO (2)** steps in diffusion process.

SOALAN 2

Resapan merupakan suatu kaedah pengedopan yang digunakan dalam proses penghasilan litar bersepadu.

- (a) Nyatakan **DUA (2)** bahan/gas dopan yang digunakan.
- (b) Namakan **DUA (2)** langkah dalam suatu proses resapan.

[4 marks]

[4 markah]

CLO1
C2**QUESTION 3**

Figure A2 shows the design abstraction level. Describe the levels labeled as X and Y.

SOALAN 3

Rajah A2 menunjukkan rekabentuk tahap pengekstrakan. Perihalkan tahap yang dilabelkan sebagai X dan Y.

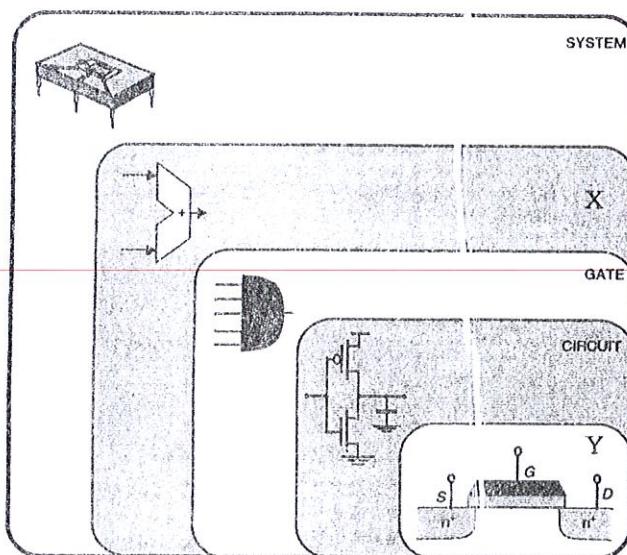


Figure A2 / Rajah A2

[4 marks]

[4 markah]

CLO2
C1**QUESTION 4**

Draw the cross section of CMOS transistor complete with label.

SOALAN 4

Lakarkan keratan rentas bagi transistor CMOS lengkap dengan label.

[4 marks]

[4 markah]

QUESTION 5CLO2
C2

- (a) Describe CMOS latch up.
(b) Explain the effect of latch up for CMOS transistor.

SOALAN 5

- (a) Perihalkan tentang selak atas CMOS.
(b) Terangkan kesan selak atas bagi transistor CMOS.

[4 marks]

[4 markah]

QUESTION 6CLO3
C2

Describe the cut-off operation for static MOS transistor with the aid of a diagram.

SOALAN 6

Perihalkan operasi cut-off bagi statik transistor MOS dengan bantuan rajah.

[4 marks]

[4 markah]

QUESTION 7CLO2
C2

Describe TWO (2) characteristic differences between the Ideal Wire and the Lumped Model.

SOALAN 7

Terangkan perbezaan ciri-ciri di antara model Wayar Ideal dan Model Terkumpul.

[4 marks]

[4 markah]

CLO3
C1**QUESTION 8**

Voltage Transfer Characteristics (VTC) is a plot of output voltage as a function of the input voltage. Draw the VTC graph of a CMOS inverter with complete label.

SOALAN 8

Ciri Pemindahan Voltan (VTC) adalah plot keluaran voltan sebagai fungsi masukan voltan. Lukis graf VTC bagi penyongsang CMOS dengan label yang lengkap.

[4 marks]

[4 markah]

CLO3
C3**QUESTION 9**

Construct a CMOS static logic circuit for 2-input NOR gate.

SOALAN 9

Bina litar logik transistor CMOS untuk gerak NOR 2-masukan.

[4 marks]

[4 markah]

CLO1
C1**QUESTION 10**

Draw the tree diagram of design methodologies.

SOALAN 10

Lukiskan gambarajah pokok metodolog rekabentuk.

[4 marks]

[4 markah]

SECTION B : 60 MARKS**BAHAGIAN B : 60 MARKAH****INSTRUCTION:**

This section consists of THREE (3) essay questions. Answer ALL questions.

ARAHAN:

Bahagian ini mengandungi TIGA (3) soalan eseai. Jawab semua soalan.

QUESTION 1**SOALAN 1**CLO1
C1

- (a) Performance issues of digital design includes propagation delay, rise time and fall time. With the aid of a suitable diagram, describe propagation delay.

Isu prestasi bagi rekabentuk digital termasuk lengah perambatan, masa naik dan masa turun. Dengan bantuan rajah yang sesuai, terangkan lengah perambatan.

[4 marks]

[4 markah]

CLO1
C2

- (b) The total cost of any product can be separated into two components: the recurring expenses or the variable cost, and the non-recurring expenses or the fixed cost. Explain the variable cost and fixed cost.

Jumlah kos mana-mana produk boleh dibahagikan kepada dua komponen: kos berulang atau kos yang berubah-ubah, dan perbelanjaan tidak berulang atau kos tetap. Terangkan kos berubah dan kos tetap.

[3 marks]

[3 markah]

CLO1
C1

- (c) State THREE (3) types of noise sources in digital circuits.

Berikan TIGA (3) jenis sumber hingar dalam litar digital.

[3 marks]

[3 markah]

CLO1
C2

- (d) Describe **FIVE** processes involved in transforming the silicon ingot into silicon wafer.

Perihalkan LIMA proses yang terlibat dalam penukaran jongkong silikon kepada kepingan wafer silikon.

[10 marks]

[10 markah]

QUESTION 2

SOALAN 2

CLO3
C3

- (a) Sketch the CMOS static logic diagram for the Boolean expression $F = \overline{A} + B + \overline{C}$.

Lakarkan gambarajah logic statik CMOS yang lengkap untuk persamaan Boolean $F = \overline{A} + B + \overline{C}$.

[8 marks]

[8 markah]

CLO1
C2

- (b) Describe **TWO (2)** differences between Programming Array Logic (PAL) and Programming Logic Array (PLA) in terms of circuit component, performance, cost and flexibility.

Perihalkan DUA (2) perbezaan di antara Programming Array Logic (PAL) dan Programming Logic Array (PLA) dari aspek komponen litar, prestasi, kos dan kebolehan jalan.

[4 marks]

[4 markah]

CLO1
C3

- (c) Figure B3 is a diagram of Programmable Array Logic (PAL) circuit. Produce the equations for outputs F1, F2, F3 and F4.

Rajah B3 adalah gambarajah bagi litar Programmable Array Logic (PAL). Dapatkan persamaan bagi keluaran F1, F2, F3 dan F4.

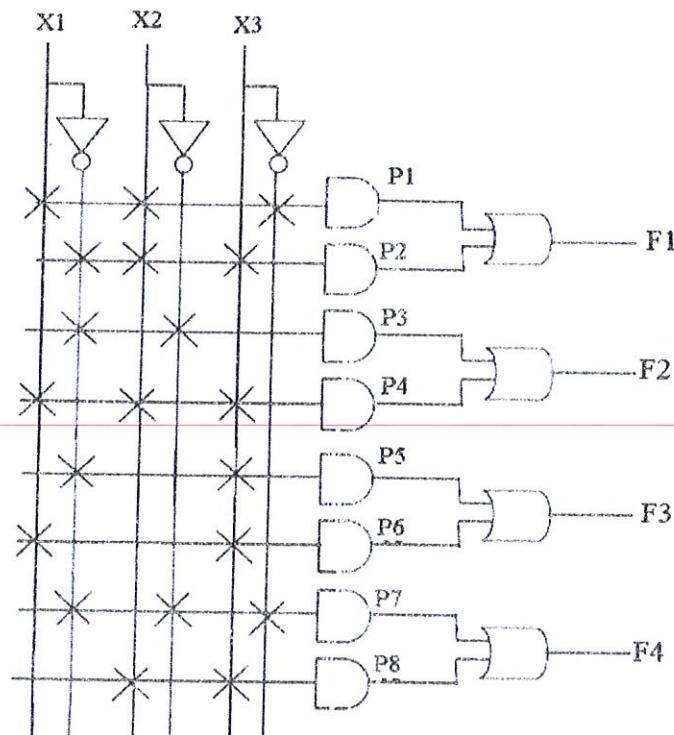


Figure B3 / Rajah B3

[8 marks]

[8 markah]

QUESTION 3**SOALAN 3**CLO3
C3

- (a) Apply the concept of NMOS and PMOS transistor as switches in explaining of the logic in Figure B3a, to obtain the output V_{out2} when:
- $V_{in} = '1'$
 - $V_{in} = '0'$

Aplikasikan konsep transistor NMOS'an PMOS sebagai suis bagi menerangkan logik dalam Rajah B3a untuk mendapat in keluaran pada V_{out2} apabila:

- $V_{in} = '1'$
- $V_{in} = '0'$

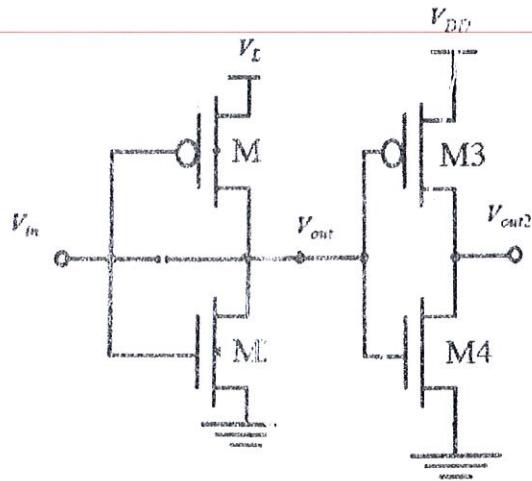


Figure B3a. Rajah B3a

[10 marks]

[10 markah]

CLO3
C3

- (b) Sketch a stick diagram for the schematic circuit in Figure B3b by using Euler Path technique.

Lakarkan gambarajah lidi bagi litir skematik dalam Rajah B3b dengan menggunakan teknik Euler Path.

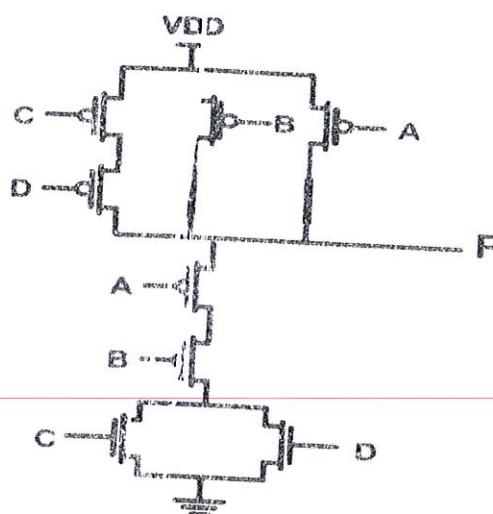


Figure B3b / Rajah B3b

[10 marks]

[10 markah]

SOALAN TAMAT

