

SULIT



BAHAGIAN PEPERIKSAAN DAN PENILAIAN  
JABATAN PENDIDIKAN POLITEKNIK  
KEMENTERIAN PENDIDIKAN TINGGI

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR  
SESI DISEMBER 2015

**EE603: CMOS INTEGRATED CIRCUIT DESIGN**

TARIKH : 03 APRIL 2015  
MASA : 2.30 PM – 4.30 PM (2 JAM )

Kertas ini mengandungi LAPAN (8) halaman bercetak.

Bahagian A: Struktur (10 soalan)

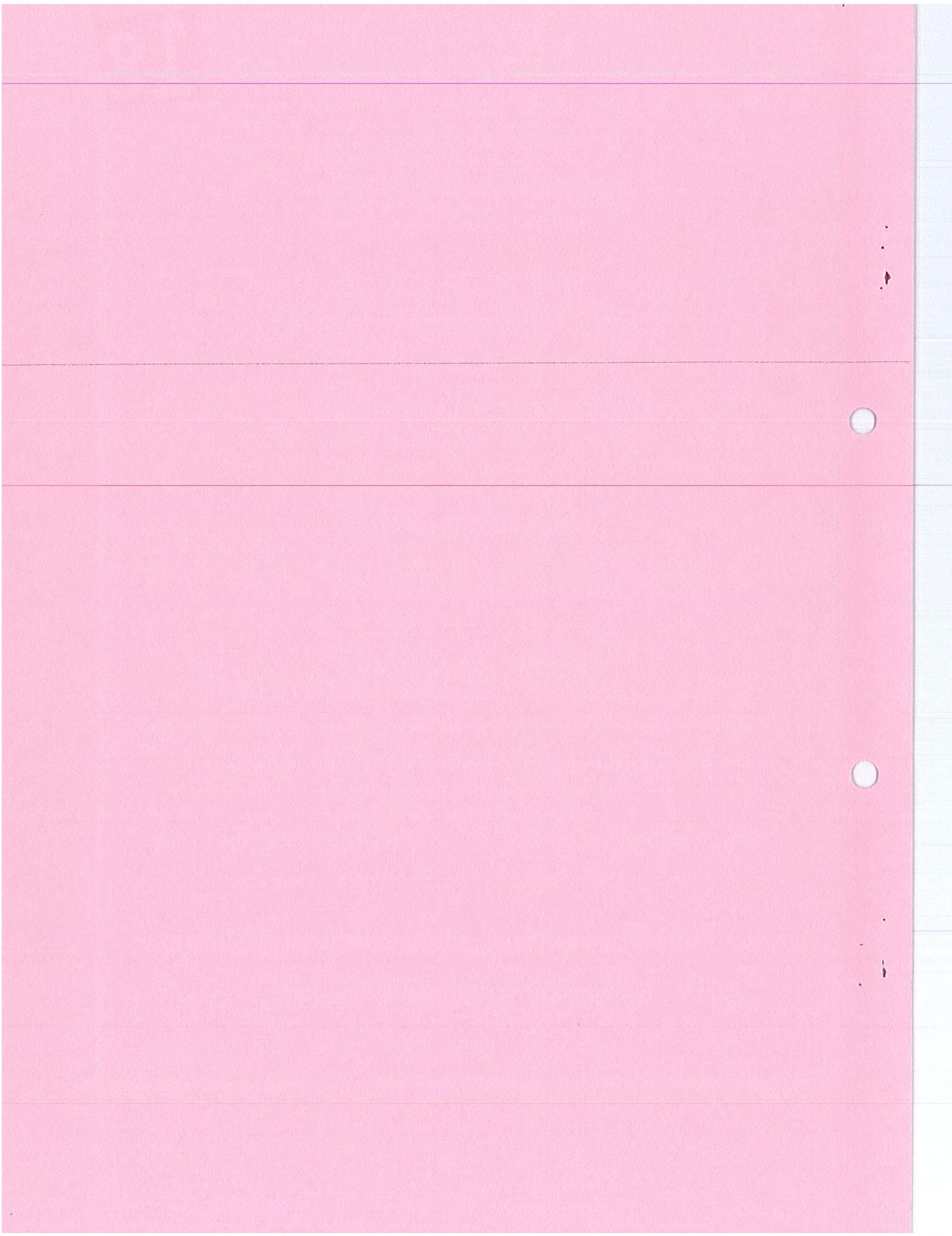
Bahagian B: Esei (3 soalan)

Dokumen sokongan yang disertakan : Kertas Graf, Formula dsb / Tiada

**JANGAN BUKA KERTAS SOALANINI SEHINGGA DIARAHKAN**

(CLO yang tertera hanya sebagai rujukan)

SULIT



**SECTION A : 40 MARKS****BAHAGIAN A : 40 MARKAH****INSTRUCTION:**

This section consists of TEN (10) structured questions. Answer **ALL** questions.

**ARAHAN:**

Bahagian ini mengandungi **SEPULUH (10)** soalan struktur. Jawab **SEMUA** soalan.

CLO1  
C2**QUESTION 1**

Explain Moore's Law prediction over digital Integrated Circuit(IC) evolution.

**SOALAN 1**

Terangkan jangkaan 'Moore's Law' terhadap evolusi litar bersepadu digital.

[4 marks]  
[4 markah]

CLO1  
C2**QUESTION 2**

By giving examples discuss **TWO (2)** types of cost in integrated circuit design.

**SOALAN 2**

Dengan memerlukan contoh bincangkan **DUA (2)** jenis kos dalam rekaan litar bersepadu.

[4 marks]  
[4 markah]

CLO1  
C1**QUESTION 3**

Give **TWO (2)** functions of design rules.

**SOALAN 3**

Berikan **DUA (2)** fungsi aturan rekabentuk.

[4 marks]  
[4 markah]

CLO1

C2

**QUESTION 4**

Explain briefly the manufacturing process sequence of an n-dual-well CMOS circuit.

**SOALAN 4**

*Jelaskan secara ringkas turutan proses bagi litar ‘n-dual-well CMOS’.*

[4 marks]  
[4 markah]

CLO1

C1

**QUESTION 5**

Abstraction levels typically used in digital circuits design are the devices, circuit, gate, functional module and system levels. State **TWO (2)** reasons why abstraction levels are used in designing digital circuits.

**SOALAN 5**

*Tahap abstraksi yang digunakan dalam rekabentuk litar bersepadu adalah peranti, litar, get, modul berfungsi dan tahap sistem. Nyatakan **DUA(2)** sebab mengapa tahap abstraksi digunakan dalam rekabentuk litar bersepadu.*

[4 marks]  
[4 markah]

CLO2

C3

**QUESTION 6**

Draw the NMOS transistor cross section.

**SOALAN 6**

*Lukiskan keratan rentas bagi transistor NMOS.*

[4 marks]  
[4 markah]

CLO2

C2

**QUESTION 7**

Describe **TWO (2)** impacts of interconnect parasitic.

**SOALAN 7**

*Terangkan DUA (2) kesan parasitik penyambungan.*

[4 marks]  
[4 markah]

CLO3

C3

**QUESTION 8**

Voltage Transfer Characteristics (VTC) is a plot of output voltage as a function of the input voltage. Draw and label the VTC of a CMOS inverter.

**SOALAN 8**

*Ciri Pemindahan Voltan (VTC) adalah plot keluaran voltan sebagai fungsi masukan.*

*Lukis dan labelkan 'VTC' bagi penyongsang 'CMOS'.*

[4 marks]  
[4 markah]

CLO1

C2

**QUESTION 9**

With the aid of suitable block diagrams, explain the difference between the PROM and the PAL architecture.

**SOALAN 9**

*Dengan bantuan gambarajah blok yang sesuai, terangkan perbezaan arkitektur di antara 'PROM' dan 'PAL'.*

[4 marks]  
[4 markah]

CLO1

C2

**QUESTION 10**

Identify the methods to program Programmable Logic Device(PLD).

**SOALAN 10**

*Kenal pasti kaedah untuk memprogram 'Programmable Logic Device '(PLD).*

[4 marks]  
[4 markah]

**SECTION B : 60 MARKS**  
**BAHAGIAN B : 60 MARKAH****INSTRUCTION:**

This section consists of **THREE (3)** essay questions. Answer **ALL** questions .

**ARAHAN:**

*Bahagian ini mengandungi **TIGA (3)** soalan eseai. Jawab semua soalan.*

**QUESTION 1****SOALAN 1**

- CLO1  
C2
- a) The designer currently facing many challenges to produce a good Integrated Circuit product, these include external and internal issues. Explain **TWO (2)** issues in digital integrated circuit design with **THREE (3)** examples each. Identify **THREE (3)** types of noise source in digital integrated circuit.

*Perekabentuk masa kini menghadapi banyak cabaran untuk menghasilkan produk litar bersepadu yang bagus, ini termasuklah isu dalaman dan luaran. Terangkan DUA (2) isu dalam digital reka bentuk litar bersepadu beserta TIGA (3) contoh setiap satu. Kenal pasti TIGA (3) jenis punca hingar dalam litar bersepadu digital.*

[10 marks]  
[10 markah]

- CLO1  
C1
- (b) Define diffusion in manufacturing process for CMOS integrated circuit.

*Takrifkan resapan dalam proses pembuatan untuk CMOS litar bersepadu.*

[2 marks]  
[2 markah]

- CLO1  
C2 (c) Design rules are the guidelines for constructing process mask that are used in fabrication for CMOS IC. Using a suitable diagram, explain the layer representation of a CMOS layout. Show at least **TWO (2)** interlayer constraints.

*Aturan rekabentuk adalah garis panduan untuk membina ‘process mask’ yang digunakan untuk proses fabrikasi ‘CMOS IC’. Dengan menggunakan gambarajah yang sesuai terangkan perwakilan lapisan bagi bentangan CMOS. Tunjukkan sekurang-kurangnya **DUA (2)** kekangan antara dua lapisan.*

[8 marks]  
[8 markah]

**QUESTION 2**  
**SOALAN 2**

- CLO1  
C2 (a) Classify the design abstraction level from top to down.

*Kelaskan tahap rekabentuk abstraksi mengikut aras tinggi ke rendah.*

[6 marks]  
[6 markah]

- CLO2  
C2 (b) Explain depletion region of a semiconductor diode.

*Jelaskan kawasan penyusutan bagi diod semikonduktor.*

[4 marks]  
[4 markah]

CLO2  
C2

- (c) In schematics, wires occur as simple lines with no attached parameters or parasitic. These wires have no impact on the electrical behavior of the circuit. List at least **FOUR (4)** characteristics of an ideal wire. Draw the example of an ideal wires model.

*Dalam skematik, wayar kelihatan seperti garisan ringkas dengan tidak disertakan apa-apa parameter maupun parasitik. Wayar ini tidak mempunyai kesan terhadap perlakuan elektrik litar. Senaraikan sekurang-kurangnya **EMPAT (4)** ciri-ciri wayar ideal. Lukiskan contoh model wayar ideal.*

[10 marks]  
[10 markah]

### QUESTION 3 *SOALAN 3*

CLO3  
C3

- (a) The inverter is really the nucleus of all digital designs. Once its operation and properties are clearly understood, designing more intricate structures such as NAND gates, adders, multipliers, and microprocessors is greatly simplified. Therefore, interpret the properties of static CMOS inverter circuit.

*Penyongsang adalah nukleus sebenar bagi semua reka bentuk digital . Setelah operasi dan sifat-sifatnya difahami dengan jelas , reka bentuk struktur yang lebih rumit seperti get TAK DAN , penambah , pengganda , dan mikropemproses yang kompleks menjadi sangat mudah . Oleh yang demikian, tafsir sifat litar penyongsang statik CMOS.*

[6 marks]  
[6 markah]

CLO3  
C3

- (b) Draw the schematic and stick diagram for NAND gate.

*Lukiskan gambarajah skematik dan lidi bagi get TAK-DAN.*

[10 marks]  
[10 markah]

CLO1

C1

- (c) There are two methods to design an IC, FULL CUSTOM design and SEMI CUSTOM design. State **TWO (2)** of the differences between these two methods.

*Terdapat dua teknik untuk merekabentuk IC, rekaan 'FULL CUSTOM' dan rekaan 'SEMI CUSTOM'. Nyatakan perbezaan di antara kedua-duanya.*

[4 marks]

[4 markah]

### SOALAN TAMAT

