SULIT

POLITEKNIK MALAYSIA

BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENGAJIAN POLITEKNIK
KEMENTERIAN PENDIDIKAN MALAYSIA

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI DISEMBER 2013

EE202: DIGITAL ELECTRONICS

TARIKH : 17 APRIL 2014
TEMPOH : 8.30 -10.30 AM (2 JAM)

Kertas ini mengandungi **LAPAN BELAS (18)** halaman bercetak.
Bahagian A: Objektif (20 soalan)
Bahagian B: Struktur (10soalan)
Bahagian C: Esei (2 soalan)
Dokumen sokongan yang disertakan : Lampiran 1 & Lampiran 2

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A: 20 MARKS
BAHAGIAN A: 20 MARKAH

INSTRUCTION:
This section consists of **TWENTY (20)** objective questions. Mark your answers in the OMR form provided.

ARAHAN:
*Bahagian ini mengandungi **DUA PULUH (20)** soalan objektif. Tandakan jawapan anda di dalam borang OMR yang disediakan.*

CLO1
C2

1. Convert 757_8 to its binary equivalent.

Tukarkan 757_8 kepada nilai yang setara dalam bentuk binari.

A. 111011111_2
B. 111101111_2
C. 1011111012
D. 1111011112

CLO1
C2

2. Convert 1011101011.10_2 to hexadecimal number.

Tukarkan 1011101011.10_2 kepada nombor heksadesimal.

A. $2EB.2_{16}$
B. $2FC.8_{16}$
C. $2EB._{816}$
D. $8EB.2_{16}$

CLO1
C3

3. Choose the correct answer for 2nd complement.

Pilih jawapan yang betul bagi pelengkap dua.

	Binary Number	2's complement
A.	01010111_2	10101001_2
B.	10101000_2	01011001_2
C.	01010111_2	10101100_2
D.	10101001_2	01010110_2

CLO1
C2

4. Convert the decimal 111 to hexadecimal number.

Tukarkan desimal 111 kepada nombor heksadesimal.

A. 6F
B. 6E
C. 6D
D. 6C

CLO1
C3

5. What is the octal representation of decimal 254?

Apakah nombor perlapanan yang mewakili nombor desimal 254?

A. 322
B. 343
C. 376
D. 433

CLO1
C3

6. Solve the arithmetic operation for binary, 101 + 100.

Selesaikan operasi arithmatik dalam binari, 101 + 100.

A. 1001
B. 1110
C. 1000
D. 0110

CLO1
C2

7. The NAND gate output will be low if the two inputs are_____.

Keluaran get TAK- DAN akan rendah jika kedua-dua masukan adalah _____.

A. 0, 0
B. 0, 1
C. 1, 0
D. 1, 1

CLO1
C1

8. The Boolean expression $Y = \overline{A+B+C}$ is logically equivalent to a single gate ___.

Persamaan Boolean $Y = \overline{A+B+C}$ *adalah setara dengan satu get ___.*

A. AND
B. NAND
C. OR
D. NOR

CLO1
C2

9. The output of a logic gate is 1 when all its input are at logic 0. The gate is either _____.

Keluaran get logik adalah logik 1 apabila kesemua masukan adalah logik 0. Get tersebut adalah samada _____.

A. NAND gate or EX-OR gate
Get TAK-DAN atau get Ex- ATAU

B. AND gate or EX-OR gate
Get DAN atau get Ex- ATAU

C. OR gate or EX-NOR gate
Get ATAU atau get Ex- TAK-ATAU

D. NOR gate or EX-NOR gate
Get TAK-ATAU atau get Ex-TAK-ATAU

CLO 2
C3

10. Which of the following Boolean Algebra statement represents Distributive Law.

Yang manakah antara pernyataan Algebra Boolean berikut merupakan Hukum Taburan.

A. $A . (B + C) = (A . B) + (A . C)$
B. $(A + B) + C = A . (B + C)$
C. $A . (B . C) = (A . B) . C$
D. $A + A . B = A$

CLO 2
C3

11. What is the output of a logic circuit in Figure A1?

Apakah keluaran litar logik yang terhasil pada Rajah A1?

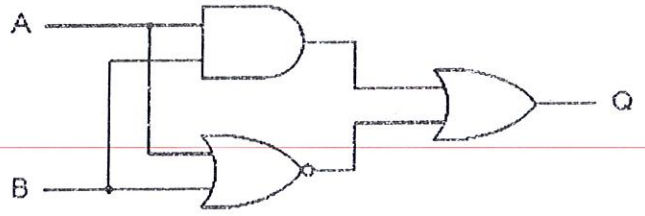


Figure A1 / *Rajah A1*

A. $AB + \bar{A}B$
B. $AB + \overline{AB}$
C. $\bar{A}\bar{B} + AB$
D. $\bar{A}B + A\bar{B}$

CLO 2
C3

12. Which of the following combinations cannot be combined into K-map groups.

Yang manakah antara gabungan berikut tidak boleh digabungkan ke dalam kumpulan K-map.

A. corners in the same row / *penjuru dalam baris yang sama*
B. corners in the same column / *penjuru dalam lajur yang sama*
C. diagonal / *pepenjuru*
D. overlapping combinations / *gabungan yang bertindih*

CLO2 C2

13. Determine the Boolean Expression for the logic circuit in Figure A2.

Dapatkan Persamaan Boolean untuk litar logik dalam Rajah A2.

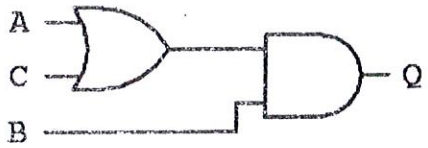


Figure A2 / *Rajah A2*

A. $Q = C(A + B)$
B. $Q = B(A + C)$
C. $Q = B + AC$
D. $Q = C + AB$

CLO2 C3

14. Simplify the Boolean Expression for $Z = \bar{A}B + B\bar{C} + BC + A\bar{B}\bar{C}$

Ringkaskan Persamaan Boolean $Z = \bar{A}B + B\bar{C} + BC + A\bar{B}\bar{C}$

A. $Z = AB\bar{C}$
B. $Z = A + BC$
C. $Z = B + A\bar{C}$
D. $Z = B + AC + B\bar{C}$

CLO2 C2

15. How many outputs are required for a 3 to 8 line decoder?

Berapakah keluaran yang diperlukan untuk penyahkod 3 ke 8 talian?

A. 3
B. 4
C. 7
D. 8

CLO2 C2

16. The number of selected data lines required for selecting 8 inputs in a multiplexer are____.

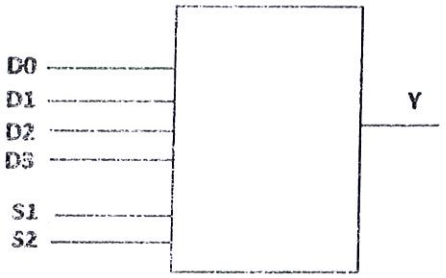
Bilangan talian data yang diperlukan untuk memilih lapan masukan data bagi pemultipleks adalah ____.

A. 1
B. 2
C. 3
D. 4

CLO2 C2

17. What is the multiplexer output Y, in Figure A3 if :
D0 = 0, D1 = 0, D2 = 0, D3 = 1, S1 = 0, S2 = 0

Apakah keluaran, Y bagi pemultipleks di Rajah A3 jika :
D0 = 0, D1 = 0, D2 = 0, D3 = 1, S1 = 0, S2 = 0



FigureA3 / *Rajah A3*

A. Low / *Rendah*
B. High / *Tinggi*
C. Don't care / *Tidak Peduli*
D. Cannot be determined / *Tidak boleh ditentukan*

CLO2 C3

18. Calculate the output frequency for a frequency division circuit that contains 12 flip- flops with an input clock frequency of 20.48 MHz

Kirakan frekuensi keluaran untuk litar pembahagi frekuensi yang mengandungi 12 flip-flop dengan jam frekuensi masukan ialah 20.48 MHz.

A. 10.24 kHz
B. 5 kHz
C. 30.24 kHz
D. 15 kHz

CLO2 C2

19. Describe the toggle condition for JK flip-flop.

Terangkan keadaan togol untuk JK flip-flop.

A. J=0, K=0
B. J=0, K=1
C. J=1, K=0
D. J=1, K=1

CLO2
C2

20. Which of the following is TRUE about D flip-flop?

*Kenyataan manakah yang **BENAR** mengenai flip-flop D?*

A. The output toggles if one of the inputs is HIGH
Keluaran togol jika satu masukan ialah tinggi

B. Only one of the inputs can be HIGH at a time
Hanya satu masukan tinggi pada satu masa

C. The output toggle to the input
Keluaran togol kepada masukan

D. The output follows to the input
Keluaran mengikut masukan.

SECTION B: 30 MARKS

BAHAGIAN B: 30 MARKAH

INSTRUCTION:

This section consists of **TEN (10)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi **SEPULUH (10)** soalan berstruktur. Jawab semua soalan.

CLO1
C3

QUESTION 1

Show the 8-bit addition of this decimal number in 2's complement representation.

+ 20 + (- 8)

SOALAN 1

Tunjukkan 8 bit penambahan bagi nombor desimal menggunakan pelengkap dua.

+ 20 + (- 8)

[3 marks]
[*3 markah*]

CLO2
C3

QUESTION 2

Sketch a logic circuit for Boolean expression , $W = AB + \overline{AC}$

SOALAN 2

Lakarkan litar logik untuk persamaan Boolean, $W = AB + \overline{AC}$

[3 marks]
[*3 markah*]

CLO2
C3

QUESTION 3

Based on the input combination of A and B as given in the Figure B1, produce a truth table to show the output Y for the logic gate.

SOALAN 3

Berdasarkan kombinasi masukan A dan B seperti yang terdapat dalam Rajah B1, hasilkan satu jadual kebenaran bagi menunjukkan keluaran Y bagi get logik tersebut.

[3 marks]
[*3 markah*]

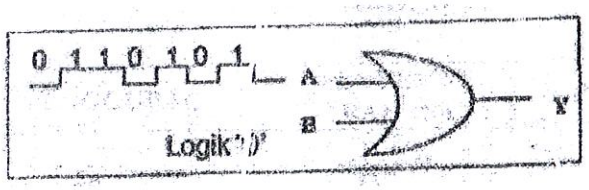


Figure B1 / *Rajah B1*

CLO2
C3

QUESTION 4

Construct the block diagram for Decimal to BCD encoder.

SOALAN 4

Binakan rajah blok untuk Pengkod Desimal ke kod BCD.

[3 marks]
[*3 markah*]

CLO3
C2

QUESTION 5

Transform an equivalent logic circuit, based on the Table B1.

SOALAN 5

Berdasarkan jadual B1, lukiskan litar logik yang berkaitan.

[3 marks]
[*3 markah*]

Table B1 / *Jadual B1*

1	0	0	Hold / *Tak berubah*
1	0	1	0 / Reset
1	1	0	1 / Set
1	1	1	Invalid / *Dilarang*

CLO3
C1

QUESTION 6

State **TWO (2)** differences between synchronous and asynchronous counter.

SOALAN 6

*Nyatakan **DUA** (2) perbezaan di antara pembilang segerak dan pembilang tak segerak.*

[3 marks]
[*3markah*]

CLO3
C3

QUESTION 7

Construct the state diagram for a synchronous counter circuit that will count the number from 0, 2, 4, 6, 8 .....

SOALAN 7

Bina rajah keadaan bagi litar pembilang segerak yang membilang dari 0, 2, 4, 6, 8....

[3 marks]
[*3 markah*]

CLO3
C2

QUESTION 8

A counter in Figure B2 has the output frequency of 20.5 kHz. Determine the input clock frequency of the counter.

SOALAN 8

Pembilang pada Rajah B2, mempunyai frekuensi keluaran 20.5 kHz. Tentukan frekuensi masukan jam untuk pembilang tersebut.

[3 marks]
[*3 markah*]

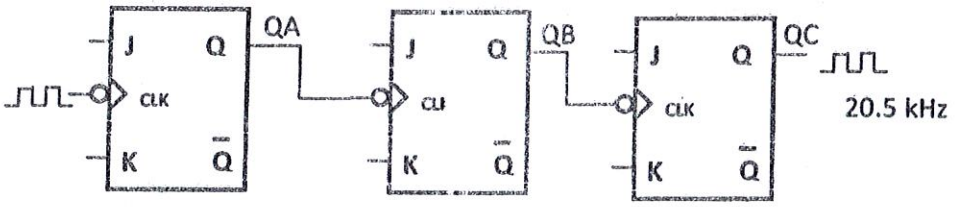


Figure B2 / *Rajah B2*

CLO3
C1

QUESTION 9

State **THREE (3)** types of shift register and draw a block diagram of each type.

SOALAN 9

*Nyatakan **TIGA (3)** jenis daftar anjakan dan lukiskan gambarajah blok setiap satunya.*

[7 marks]
[*3 markah*]

CLO3
C3

QUESTION 10

Construct a 4 bit Johnson Counter circuit.

SOALAN 10

Binakan litar Pembilang Johnson 4 bit.

[3 marks]
[*3 markah*]

SECTION C: 50 MARKS
BAHAGIAN C: 50 MARKAH

INSTRUCTION:
This section consists of **TWO (2)** essay questions. Answer **ALL** questions.

ARAHAN:
*Bahagian ini mengandungi **DUA (2)** soalan esei. Jawab **SEMUA** soalan.*

QUESTION 1

SOALAN 1

CLO2
C1

(a) List **TWO (2)** methods in simplifying Boolean expression.
*Senaraikan **DUA (2)** kaedah dalam memudahkan persamaan Boolean.*

[2 marks]
[*2 markah*]

(b) Based on Figure C1, answer the following question.
Berdasarkan Rajah C1, jawab soalan berikut.

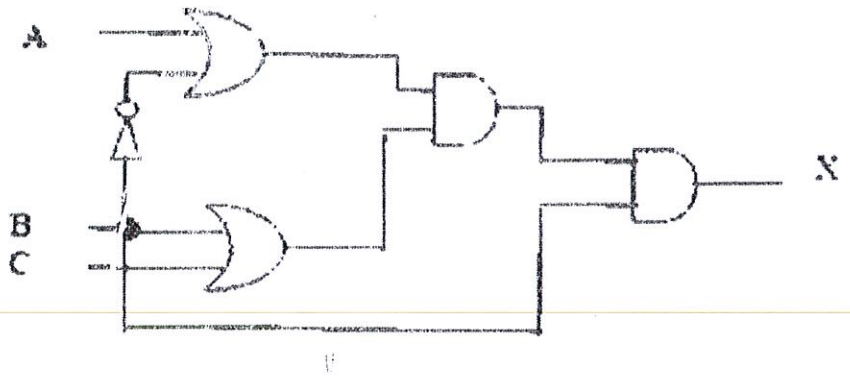


Figure C1 / *Rajah C1*

CLO2
C2

i) Express the Boolean equation for X.
Tulis persamaan Boolean bagi X.

[2 marks]
[*2 markah*]

CLO2 C3

ii) Construct a truth table from the Boolean expression derived.
Bina jadual kebenaran berdasarkan persamaan yang diterbitkan.

[4 marks]
[*4 markah*]

CLO2 C3

iii) Simplify the Boolean equation in Q1 (b) i) by using Boolean Algebra.
Permudahkan persamaan Boolean dalam Q1 (b) i) dengan menggunakan Algebra Boolean.

[4 marks]
[*4 markah*]

CLO2 C3

iv) Construct the logic circuit that has been simplified in Q1 (b) iii).
Binakan litar logik yang telah dipermudahkan dalam Q1 (b) iii).

[3 marks]
[*3 markah*]

(c) Given the output, Y for Octal to Binary Encoder as follows:
Diberi keluaran, Y bagi Pengkod Oktal ke Binari seperti di bawah:

$$Y0 = I1 + I3 + I5 + I7$$
$$Y1 = I2 + I3 + I6 + I7$$
$$Y2 = I4 + I5 + I6 + I7$$

CLO2 C3

(i) Construct the truth table for Octal to Binary Encoder based on the output given.
Binakan jadual kebenaran bagi Pengkod Oktal ke Binari berdasarkan output yang diberi.

[5 marks]
[*5 markah*]

CLO2 C3

(ii) Hence, construct the internal circuit for Octal to Binary Encoder (8 to 3 line Encoder).
Seterusnya, binakan litar dalaman bagi Pengkod Oktal ke Binari (Pengkod 8 ke 3 talian).

[5 marks]
[*5 markah*]

QUESTION 2

SOALAN 2

CLO2 C3 (a) Construct a logic circuit for JK Flip-flop.
Binakan litar logik untuk Flip-flop JK.

[4 marks]
[*4 markah*]

CLO2 C3 (b) Sketch the output for JK Flip-flop in Figure C2. Given $Q_{initial} = 1$. **Answer this question at APENDIX 1**
Lakarkan keluaran bagi Flip-flop JK pada Rajah C2. *Diberi* $Q_{awal} = 1$. ***Jawab soalan ini di LAMPIRAN 1.***

[3 marks]
[*3 markah*]

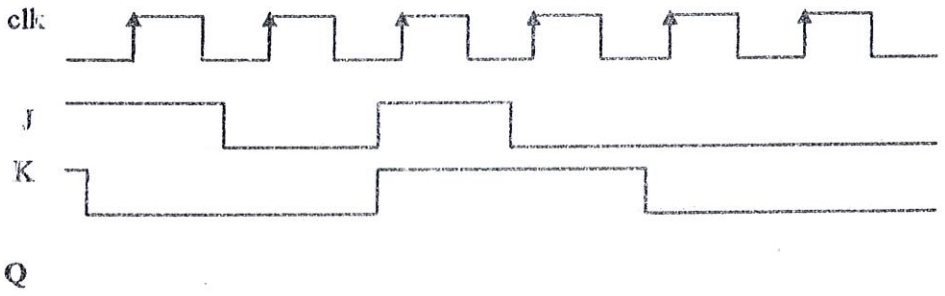


Figure C2 /*Rajah C2*

(c) Based on Figure C3, answer the following question.
Berdasarkan Rajah C3, jawab soalan berikut.

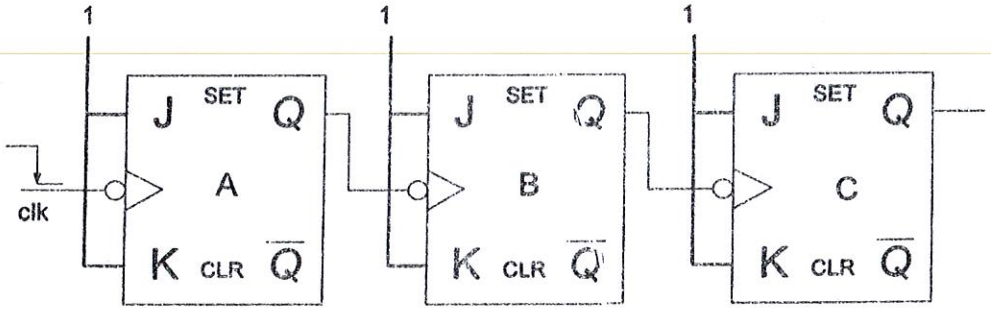


Figure C3/*Rajah C3*

CLO3
C1

(i) Identify the type of the counter.

Kenal pasti jenis pembilang tersebut.

[1 mark]
[*1 markah*]

CLO3
C1

(ii) Draw the state diagram of the counter.

Lukis gambarajah keadaan untuk pembilang tersebut.

[5 marks]
[*5 markah*]

CLO3
C1

(iii) Draw the truth table of the counter.

Lukiskan jadual kebenaran untuk pembilang tersebut.

[5 marks]
[*5 markah*]

CLO3
C2

(d) **THREE (3)** synchronous counters are connected in a cascaded connection. There are MOD 5, MOD 7 and MOD 10 synchronous counters. Determine:

TIGA (3) pembilang segerak disambung secara siri. Pembilang-pembilang tersebut adalah MOD 5, MOD 7 dan MOD 10. Tentukan:

(i) The total MOD produce by this counter.

Jumlah MOD yang dihasilkan oleh pembilang ini.

[2 marks]
[*2 markah*]

(ii) The maximum number, M for this counter.

Nombor maksimum, M bagi pembilang ini.

[2 marks]
[*2 markah*]

CLO3 C3	(e) If the series data 101 is shifted into the SIPO and the initial output is 0, sketch timing diagram that shows the shifting. *Jika data sesiri 101 dianjak ke dalam SIPO dan output awal adalah 0, lakarkan rajah masa yang menunjukkan anjakan tersebut.* [3 marks] [3 markah]

SOALAN TAMAT

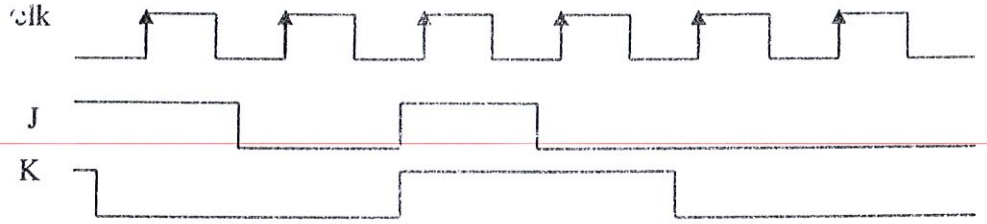
NO. SIRI BUKU JAWAPAN : .....

Nota : Lampiran ini mestilah dihantar bersama buku jawapan.

APENDIX 1 / LAMPIRAN 1

QUESTION 2(b)

Figure C2 / *Rajah C2*



[3 marks]
[3 markah]

APENDIX 2 / LAMPIRAN 2

ASCII TABLE

ASCII CONTROL CHARACTERS					ASCII PRINTABLE CHARACTERS			
Binary	Decimal	Hexadecimal	Character	Description	Binary	Decimal	Hexadecimal	Character
00000000	000	00	NUL	Null char	00100000	032	20	SP
00000001	001	01	SOH	Start of Heading	00100001	033	21	!
00000010	002	02	STX	Start of Text	00100010	034	22	"
00000011	003	03	ETX	End of Text	00100011	035	23	#
00000100	004	04	EOT	End of Transmission	00100100	036	24	$
00000101	005	05	ENQ	Enquiry	00100101	037	25	%
00000110	006	06	ACK	Acknowledgment	00100110	038	26	&
00000111	007	07	BEL	Bell	00100111	039	27	'
00001000	008	08	BS	Back Space	00101000	040	28	(
00001001	009	09	HT	Horizontal Tab	00101001	041	29	)
00001010	010	0A	LF	Line Feed	00101010	042	2A	*
00001011	011	0B	VT	Vertical Tab	00101011	043	2B	+
00001100	012	0C	FF	Form Feed	00101100	044	2C	,
00001101	013	0D	CR	Carriage Return	00101101	045	2D	-
00001110	014	0E	SO	Shift Out / X-On	00101110	046	2E	.
00001111	015	0F	SI	Shift In / X-Off	00101111	047	2F	/
00010000	016	10	DLE	Data Line Escape	00110000	048	30	0
00010001	017	11	DC1	Device Control 1 (oft. XON)	00110001	049	31	1
00010010	018	12	DC2	Device Control 2	00110010	050	32	2
00010011	019	13	DC3	Device Control 3 (oft. XOFF)	00110011	051	33	3
00010100	020	14	DC4	Device Control 4	00110100	052	34	4
00010101	021	15	NAK	Negative Acknowledgement	00110101	053	35	5
00010110	022	16	SYN	Synchronous Idle	00110110	054	36	6
00010111	023	17	ETB	End of Transmit Block	00110111	055	37	7
00011000	024	18	CAN	Cancel	00111000	056	38	8
00011001	025	19	EM	End of Medium	00111001	057	39	9
00011010	026	1A	SUB	Substitute	00111010	058	3A	:
00011011	027	1B	ESC	Escape	00111011	059	3B	;
00011100	028	1C	FS	File Separator	00111100	060	3C	<
00011101	029	1D	GS	Group Separator	00111101	061	3D	=
00011110	030	1E	RS	Record Separator	00111110	062	3E	>
00011111	031	1F	US	Unit Separator	00111111	063	3F	?

ASCII PRINTABLE CHARACTERS			
Binary	Decimal	Hexadecimal	Character
01000000	064	40	@
01000001	065	41	A
01000010	066	42	B
01000011	067	43	C
01000100	068	44	D
01000101	069	45	E
01000110	070	46	F
01000111	071	47	G
01001000	072	48	H
01001001	073	49	I
01001010	074	4A	J
01001011	075	4B	K
01001100	076	4C	L
01001101	077	4D	M
01001110	078	4E	N
01001111	079	4F	O
01010000	080	50	P
01010001	081	51	Q
01010010	082	52	R
01010011	083	53	S
01010100	084	54	T
01010101	085	55	U
01010110	086	56	V
01010111	087	57	W
01011000	088	58	X
01011001	089	59	Y
01011010	090	5A	Z
01011011	091	5B	[
01011100	092	5C	\
01011101	093	5D	]
01011110	094	5E	^
01011111	095	5F	_

ASCII PRINTABLE CHARACTERS			
Binary	Decimal	Hexadecimal	Character
01100000	096	60	`
01100001	097	61	a
01100010	098	62	b
01100011	099	63	c
01100100	100	64	d
01100101	101	65	e
01100110	102	66	f
01100111	103	67	g
01101000	104	68	h
01101001	105	69	i
01101010	106	6A	j
01101011	107	6B	k
01101100	108	6C	l
01101101	109	6D	m
01101110	110	6E	n
01101111	111	6F	o
01110000	112	70	p
01110001	113	71	q
01110010	114	72	r
01110011	115	73	s
01110100	116	74	t
01110101	117	75	u
01110110	118	76	v
01110111	119	77	w
01111000	120	78	x
01111001	121	79	y
01111010	122	7A	z
01111011	123	7B	{
01111100	124	7C	|
01111101	125	7D	}
01111110	126	7E	~
01111111	127	7F	DEL