

SULIT



BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK
KEMENTERIAN PENDIDIKAN TINGGI

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR
SESI DISEMBER 2016

DEE 6113 : CMOS INTERGRATED CIRCUIT DESIGN

TARIKH : 02 APRIL 2017
MASA : 8.30 AM – 10.30 AM (2 JAM)

Kertas ini mengandungi LIMA (5) halaman bercetak.

Bahagian A: Struktur (4 soalan)

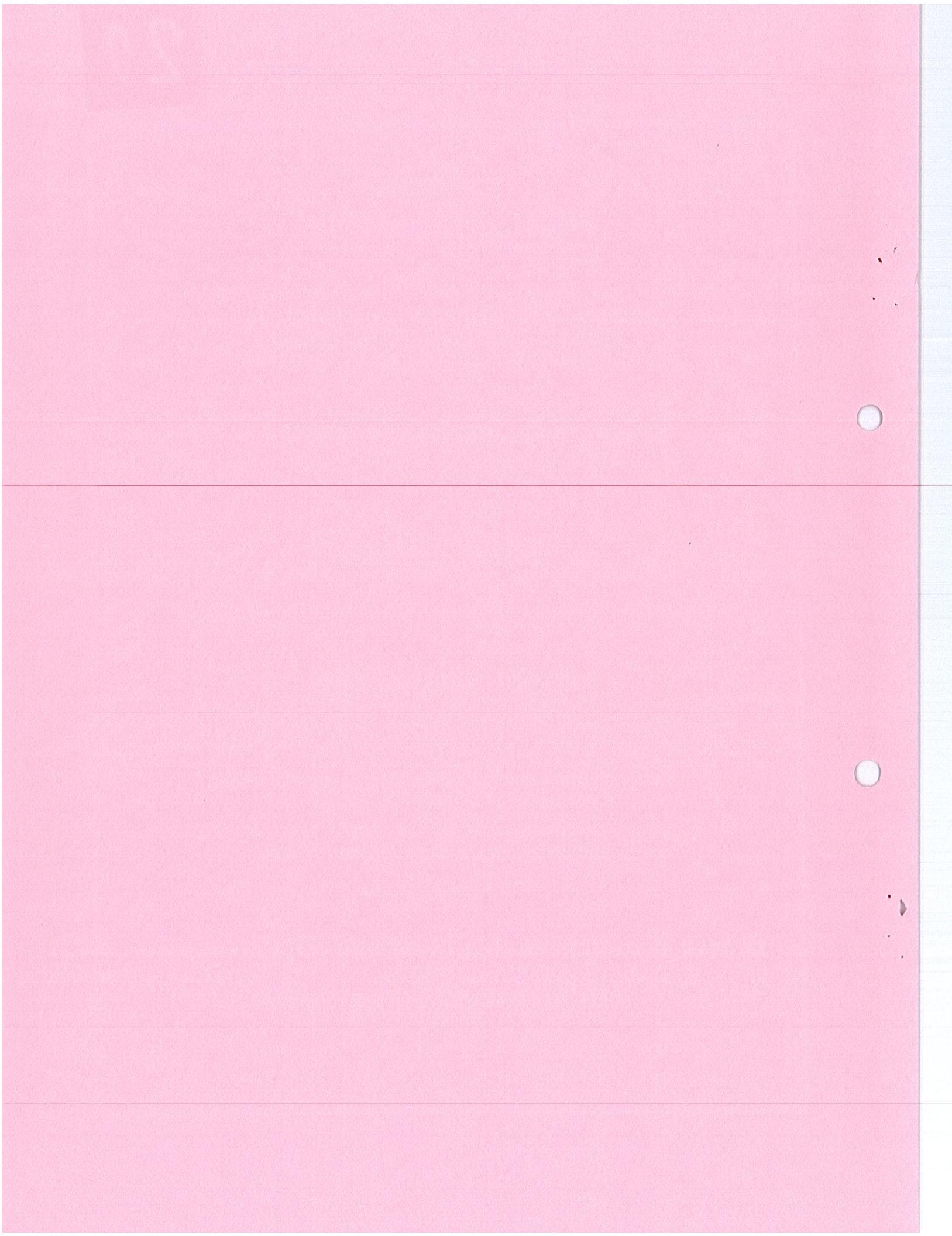
Bahagian B: Esei (2 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALANINI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT



SECTION A: 60 MARKS**BAHAGIAN A: 60 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi **EMPAT (4)** soalan berstruktur. Jawab **SEMUA** soalan.

QUESTION 1**SOALAN 1**

- CLO1 (a) Define the Integrated Circuit.

Definisikan Litar Bersepada.

[2 marks]

[2 markah]

- CLO1 (b) Identify the differences between Small Scale Integration (SSI), Medium Scale
C2 Integration (MSI) and Large Scale Integration (LSI) in terms of number of transistors
and their examples.

*Kenalpasti perbezaan di antara Small Scale Integration (SSI), Medium Scale
Integration (MSI) dan Large Scale Integration (LSI) bagi bilangan transistor dan
contoh masing-masing.*

[6 marks]

[6 markah]

- CLO1 (c) Explain etching process in IC fabrication.

Terangkan proses punaran dalam pembuatan IC.

[7 marks]

[7 markah]

QUESTION 2**SOALAN 2**CLO1
C1

- (a) Draw the symbol of PMOS and NMOS transistor.

Lukiskan simbol bagi transistor PMOS dan NMOS.

[2 marks]

[2 markah]

CLO1
C3

- (b) Demonstrate the function of CMOS Inverter as a switch.

Tunjukkan fungsi Penyongsang CMOS sebagai satu suis.

[6 marks]

[6 markah]

CLO1
C3

- (c) Illustrate the voltage transfer characteristic (VTC) of CMOS Inverter.

Gambarkan lengkuk ciri pemindahan voltan (VTC) bagi Penyongsang CMOS.

[7 marks]

[7 markah]

QUESTION 3**SOALAN 3**CLO2
C3

- (a) List the steps to construct a CMOS static circuit for 2 - input NAND gate.

*Senaraikan langkah-langkah untuk membina litar statik CMOS get**TAK DAN 2 - masukan.*

[5 marks]

[5 markah]

CLO2
C3

- (b) Demonstrate the operation of AND pass-transistor logic.

Tunjukkan operasi logik DAN "pass-transistor".

[5 marks]

[5 markah]

CLO2
C3

- (c) Draw a CMOS static circuit for the boolean function as shown below:-

Lukis satu litar statik CMOS bagi fungsi boolean seperti yang ditunjukkan di bawah :-

$$F = \overline{(D + A \cdot (B + C))}$$

[5 marks]

[5 markah]

QUESTION 4*SOALAN 4*CLO1
C1

- (a) List TWO (2) types of ASIC's design methodology.

Senaraikan DUA (2) jenis kaedah rekabentuk ASIC.

[2 marks]

[2 markah]

CLO1
C3

- (b) Interpret about Gate-Array, standard cell and Programmable Logic Devices (PLD).

Tafsirkan mengenai "Gate-Array", "standard cell" dan "Programmable Logic Devices" (PLD).

[6 marks]

[6 markah]

CLO1
C3

- (c) Draw the tree diagram of integrated circuit design methodologies.

Lukiskan gambarajah pokok metodologi reka bentuk litar bersepadu.

[7 marks]

[7 markah]

SECTION B : 40 MARKS
BAHAGIAN B : 40 MARKAH

INSTRUCTION:

This section consists of TWO (2) essay questions. Answer ALL questions.

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab SEMUA soalan.

QUESTION 1

SOALAN 1

- CLO2 Draw CMOS static circuit and stick diagram of the complex Boolean functions given
C3 below.

Lukiskan litar statik CMOS dan rajah lidi untuk fungsi boolean kompleks seperti di bawah.

$$Y = \overline{A + B + C + D}$$

[20 marks]
[20 markah]

QUESTION 2

SOALAN 2

- CLO2 Design a four input NOR circuit using CMOS logic circuit then modify the circuit to get a
C5 much lower static power dissipation.

Rekabentuk satu get TAK-ATAU empat masukan menggunakan litar logic CMOS dan ubahsuai litar tersebut bagi mendapatkan pembebasan kuasa statik yang lebih rendah.

[20 marks]
[20 markah]

SOALAN TAMAT