

SULIT



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK
KEMENTERIAN PENDIDIKAN MALAYSIA**

JABATAN KEJURUTERAAN ELEKTRIK

**PEPERIKSAAN AKHIR
SESI DISEMBER 2014**

DEE2034 : DIGITAL ELECTRONICS

**TARIKH : 21 APRIL 2015
MASA : 8.30 PG – 10.30 PG (2 JAM)**

Kertas ini mengandungi **SEBELAS (11)** halaman bercetak.

Bahagian A: Objektif (10 soalan)

Bahagian B: Struktur (4 soalan)

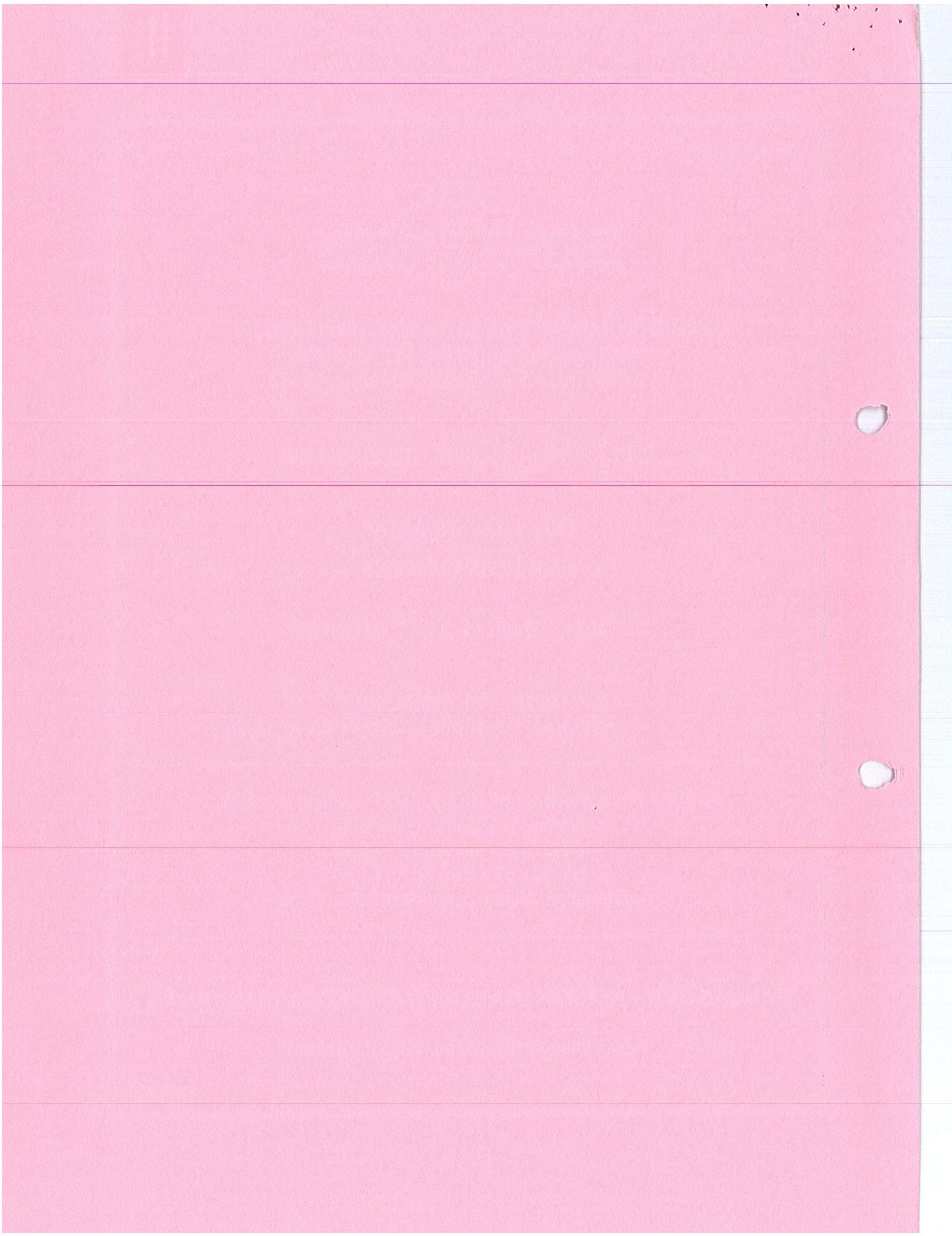
Bahagian C: Esei (2 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALANINI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT



SECTION A: 10 MARKS**BAHAGIAN A: 10 MARKAH****INSTRUCTION:**

This section consists of **TEN (10)** objective questions. Mark your answers in the OMR form provided.

ARAHAN:

*Bahagian ini mengandungi **SEPULUH (10)** soalan objektif. Tandakan jawapan anda di dalam borang OMR yang disediakan.*

CLO1
C1

1. From the answers below, find the result of $4A3_{16}$ to binary.

Antara jawapan berikut, yang manakah menunjukkan hasil $4A3_{16}$ dalam binari.

- | | |
|---------------------|---------------------|
| A. 1010100010_2 | C. 10010100011_2 |
| B. 100010100011_2 | D. 001010100011_2 |

CLO1
C3

2. Convert 76.13_{10} to BCD 8421.

Tukarkan 76.13_{10} ke BCD 8421.

- | | |
|------------------------------|------------------------------|
| A. 01110110.00010011_{BCD} | C. 0111001100010011_{BCD} |
| B. 111110.001011_{BCD} | D. 01001010.11100000_{BCD} |

CLO1
C2

3. Table A3 is the truth table of a logic gate. Identify the output P, Q, R and S when OR gate is used.

Jadual kebenaran bagi get logik adalah seperti Jadual A3. Kenal pasti keluaran P, Q, R dan S apabila get yang digunakan adalah get ATAU.

Table A3/Jadual A3

Input		Output
A	B	
0	0	P
0	1	Q
1	0	R
1	1	S

- | | |
|----------------------------------|----------------------------------|
| A. $P = 0, Q = 1, R = 0, S = 1.$ | C. $P = 0, Q = 0, R = 0, S = 1.$ |
| B. $P = 0, Q = 1, R = 1, S = 1.$ | D. $P = 1, Q = 0, R = 0, S = 0.$ |

CLO1

C3

4. Identify the logic gate in Diagram A4 that represents the same output with NAND gate.

Kenalpasti get logik yang menunjukkan keluaran yang sama dengan get-get TAK DAN pada Rajah A4.

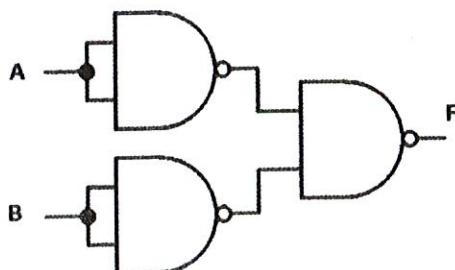
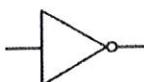


Diagram A4 / Rajah A4

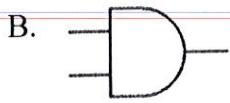
A.



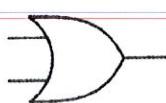
C.



B.



D.



CLO1

C2

5. Calculate the number of selector line for 16 inputs multiplexer.

Kirakan bilangan talian pilihan bagi multiplexer 16 masukan.

A. 2

C. 4

B. 3

D. 5

CLO2

C1

6. Identify which of the following expressions is in the Product-Of-Sum (POS) form.

Kenalpasti yang mana satu ungkapan yang berikut adalah dalam bentuk jumlah hasil tambah (POS).

A. $(A + B)(C + D)$ C. $AB(CD)$ B. $(A)B(CD)$ D. $AB + CD$

- CLO2 C2 7. Identify the output mode of operation of JK flip-flop at fifth clock pulse in Diagram A7, when positive clock triggering is used.

Kenalpasti keluaran pada denyut jam yang kelima dalam Rajah A7 dengan menggunakan jam pinggiran positif.

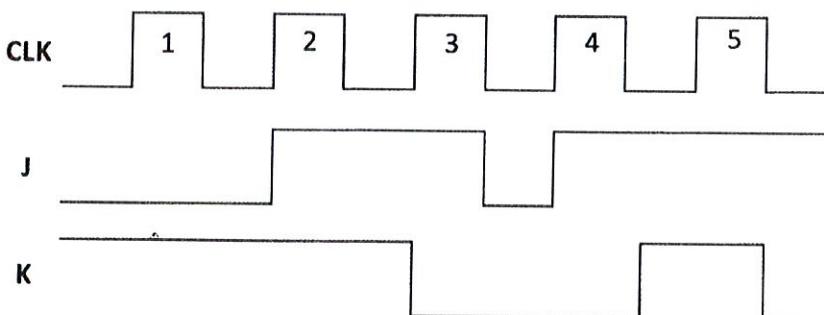


Diagram A7 / Rajah A7

- | | |
|----------|-----------|
| A. Hold | C. Set |
| B. Reset | D. Toggle |

- CLO2 C2 8. Select the **TRUE** statements about counters.

*Pilih kenyataan yang **BENAR** mengenai pembilang.*

- Counter circuit can be built using a JK flip-flop and T flip-flop.
Litar pembilang boleh dibina menggunakan JK flip-flop dan T flip-flop.
- Two categories in the counter circuit are asynchronous counter and clocked counter.
Dua kategori litar pembilang adalah pembilang tak segerak dan pembilang berjam.
- Modulus can be determined by the number of flip-flop used.
Modulus boleh ditentukan melalui bilangan flip-flop yang digunakan.

- | | |
|-------------|----------------|
| A. i only | C. ii and iii. |
| B. i and ii | D. i and iii. |

- CLO2 C3

9. Calculate the number of JK flip-flops needed to design a counter that counts the sequence of 6, 4, 2, 3 repeatedly.

Kirakan bilangan flip-flop JK yang diperlukan untuk membina satu pembilang yang dapat membilang turutan nombor 6, 4, 2, 3 secara berulangkali.

- CLO2 C2 10. Express the sequence for fourth clock pulse when at the first clock pulse 4-bit Johnson counter is $Q_0=1$, $Q_1=0$, $Q_2=0$ and $Q_3=0$.

Nyatakan turutan untuk denyutan jam keempat bila denyut jam yang pertama bagi 4 bit pembilang Johnson adalah $Q0=1$, $Q1=0$, $Q2=0$, dan $Q3=0$.

- A. $Q_0 = 1, Q_1 = 1, Q_2 = 0, Q_3 = 0$
 - B. $Q_0 = 1, Q_1 = 1, Q_2 = 1, Q_3 = 1$
 - C. $Q_0 = 0, Q_1 = 0, Q_2 = 1, Q_3 = 1$
 - D. $Q_0 = 0, Q_1 = 0, Q_2 = 0, Q_3 = 0$

SECTION B: 60 MARKS**BAHAGIAN B: 60 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi **EMPAT (4)** soalan berstruktur. Jawab semua soalan.

QUESTION 1**SOALAN 1**CLO1
C1

- (a) State
- 216_8
- in hexadecimal equivalent.

Tentukan 216_8 dalam heksadesimal.

[3 marks]

[3 markah]

CLO1
C4

- (b) Solve the 8-bits arithmetic operation below using Two's Complement method.

Selesaikan operasi aritmetik 8 bit di bawah menggunakan kaedah Pelengkap 2.

$$87_{10} - 62_{10}$$

[6 marks]

[6 markah]

CLO1
C3

- (c) Convert the numbers below to BCD 8421 Codes.

Tukarkan nombor di bawah kepada kod BCD 8421.

- (i)
- 45_{10}
-
- (ii)
- 637_8

[6 marks]

[6 markah]

QUESTION 2**SOALAN 2**CLO1
C1

- (a) Refer to Diagram B2(a); write the truth table for this logic gate.

Berdasarkan Rajah B2(a); tuliskan jadual kebenaran bagi get logik tersebut.

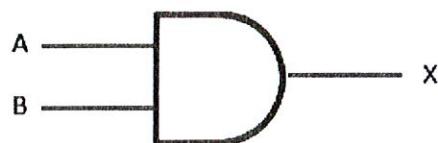


Diagram B2(a) / Rajah B2(a)

[3 marks]

[3 markah]

CLO2
C4

- (b) Simplify the following problem using the Karnaugh maps (K-maps) method.

Permudahkan permasalahan berikut menggunakan peta Karnaugh (peta-K).

$$Z = \overline{ABC} + \overline{ABC} + \overline{ABC} + ABC + ABC + \overline{ABC}$$

[5 marks]

[5 markah]

CLO2
C3

- (c) One office has telephone system with 4 lines of incoming call but only 1 line will be picked to be connected to the next station. To realize the situation above, multiplexer is used. Draw the logic circuit and truth table for that multiplexer.

Sebuah pejabat mempunyai sistem telefon dengan 4 baris panggilan masuk tetapi hanya 1 talian sahaja akan dipilih untuk disambungkan ke stesen seterusnya. Bagi merealisasikan keadaan di atas, pemultipleks digunakan. Lukiskan litar logik dan jadual kebenaran bagi pemultipleks itu.

[7 marks]

[7 markah]

QUESTION 3**SOALAN 3**

- CLO2 (a) State the difference between JK flip-flop and SR flip-flop.

Nyatakan perbezaan di antara flip-flop JK dan flip-flop SR.

[3 marks]

[3 markah]

- CLO2 (b) Draw the logic circuit and truth table for SR flip-flop active high and C3 active low.

Lukiskan litar logik dan jadual kebenaran bagi flip-flop SR aktif tinggi dan aktif rendah.

[6 marks]

[6 markah]

- CLO2 (c) Draw a logic circuit for JK flip-flop and then convert the logic circuit to T C3 flip-flop and D flip-flop.

Lukiskan litar logik flip-flop JK dan kemudian tukarkan kepada litar logik tersebut menjadi flip-flop T dan flip-flop D.

[6 marks]

[6 markah]

QUESTION 4**SOALAN 4**CLO2
C3

- (a) Draw a 4-bit shift register Serial Input Serial Output (SISO) by using flip-flop D with a positive clock trigger.

Lukiskan sebuah alat daftar 4 bit masukan siri keluaran siri (SISO) dengan menggunakan flip-flop D dengan picuan jam pinggir positif.

[3 marks]

[3 markah]

CLO2
C3

- (b) Given the existing data in 4-bits shift register Serial Input Serial Output (SISO) is 1011_2 . Illustrate with the aid of truth table and timing diagram the displacement data if new data 0110_2 is shifted to the register.

Diberi data yang sedia ada dalam 4 bit alat daftar masukan siri keluaran siri (SISO) ialah 1011_2 . Dengan bantuan jadual kebenaran dan rajah masa, ilustrasikan anjakan yang berlaku jika data baru 0110_2 dimasukkan ke dalam alat daftar tersebut.

[6 marks]

[6 markah]

CLO2
C3

- (c) Explain **TWO (2)** arithmetic operations that can be performed by shift register by providing an example for each operation.

*Terangkan **DUA (2)** operasi aritmetik yang boleh dilakukan oleh sebuah alat daftar dengan memberikan contoh bagi setiap operasi tersebut.*

[6 marks]

[6 markah]

SECTION C: 30 MARKS**BAHAGIAN C: 30 MARKAH****INSTRUCTION:**

This section consists of **TWO (2)** essay questions. Answer **ALL** questions.

ARAHAN:

*Bahagian ini mengandungi **DUA (2)** soalan eseai. Jawab **SEMUA** soalan.*

QUESTION 1**SOALAN 1**

CLO2

C5

Four-bit binary number is represented by the input variables A, B, C and D in which D is the Least Significant Bit (LSB). Build a truth table that will produce a high output whenever the binary number is greater than 0010 and less than 1000. Then, show the Sum-Of-Product (SOP) expression for the output, simplified the output expression by using Karnaugh map and sketch the simplified logic circuit.

Empat bit nombor perduaan diwakili oleh pemboleh ubah A, B, C dan D di mana D merupakan Bit Bererti Terkecil (LSB). Bina satu jadual kebenaran yang mana akan menghasilkan keluaran tinggi apabila nombor perduaan lebih besar daripada 0010 dan lebih kecil daripada 1000. Kemudian, tunjukkan persamaan Jumlah Hasil Darab (SOP). permudahkan persamaan output tersebut dengan menggunakan Peta Karnaugh dan lakarkan litar yang telah dipermudahkan tadi.

[15 marks]

{15 markah}

QUESTION 2**SOALAN 2**CLO2
C5

Design a synchronous up counter circuit that will count the random number 1, 2, 5, 7 repeatedly by using JK flip-flop with positive edge triggered.

Rekakan sebuah litar pembilang segerak yang akan mengira bilangan nombor secara rawak mengikut turutan 1, 2, 5, 7 secara berulang kali dengan menggunakan flip-flop JK picuan pinggir positif.

[15 marks]

[15 markah] **SOALAN TAMAT**